

⑪ 公開特許公報(A)

平2-283022

⑫ Int. Cl.:

H 01 L 21/316
27/04
27/108

識別記号

P
C

庁内整理番号

6810-5F
7514-5F

⑬ 公開 平成2年(1990)11月20日

8624-5F H 01 L 27/10 3 2 5 J

審査請求 未請求 請求項の数 4 (全13頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-12539

⑯ 出 願 平2(1990)1月24日

優先権主張 ⑰ 平1(1989)1月25日 ⑱ 日本(JP) ⑲ 特願 平1-13917

⑳ 発 明 者 神 力 博 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発 明 者 西 岡 泰 城 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 発 明 者 向 喜 一 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 少なくともオゾンを含むガスを生成する過程と、これを輸送する過程と、該ガスが存在する雰囲気において酸化膜を熱処理することを特徴とする半導体装置の製造方法。

2. 特許請求範囲第1項において該酸化膜は少なくともタンタル、ニオブ、ハフニウム、チタニウム、ジルコニウム、イットリウム、ランタン系列、アクチノイド系列の元素のいずれかよりなる酸化膜、もしくは、イットリウム、バリウム、銅、酸素、もしくはビスマス、ストロンチウム、カルシウム、酸素を構成元素とする酸化膜、もしくは結晶状態で強誘電性を示す多元系化合物を構成する元素よりなる酸化膜のいずれかであることを特徴とする半導体装置。

3. 特許請求の範囲第1項において、該熱処理された該酸化膜は半導体もしくは導電性薄膜を両側に具備する誘電体層の一構成要素であること

を特徴とする多層膜を具備したことを特徴とする半導体装置の製造方法。

4. 特許請求の範囲第1項において、該オゾン濃度は3%体積濃度以上であり、該熱処理は300℃から400℃に設定されていることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、詳しくは、信頼性と容量が極めて高いキャパシタを有する半導体装置の製造方法に関する。

〔従来の技術〕

酸化タンタルを絶縁膜として用いた公知例としては、例えば

公知例(1); エクステンデッド・アブストラクト・オブ・ザ・ナインティーンス・コンファレンス・オン・ソリッド・ステート・デバイス・アンド・マテリアルス・東京 1987 (Extended Abstracts of the 19th Conference on Solid State Devices and Materials, Tokyo, 1987) 第

Best Available Copy

219-222頁および、

公知例(2)；公開特許公報昭64-50428、
などが知られている。

上記公知例(1)，(2)においては、酸化タンタル膜を TaCl_5 と酸素ガスの雰囲気において水銀ランプを照射しながら酸化タンタルを形成する。あるいは、酸化タンタルを酸素雰囲気において水銀ランプを照射しながらアニールすることについて述べられている。この方法によれば、被覆性の良好で、かつ絶縁耐圧の高い酸化タンタル膜を形成できることが示されている。

【発明が解決しようとする課題】

上記従来技術においては、酸化タンタルキャパシタのリーク電流は上記熱処理温度が500℃以下において著しい減少が認められている。しかしながら、この効果をえるには、極めて長時間の熱処理が必要でありるばかりでなく、高集積素子に必要とされる欠陥密度を低減する効果がないという問題がある。従って、高集積メモリ等への製造には不向きである。また、現在の高集積メモリ素

子により著しく減少させることができた。特に、 $5 \text{ fF} / \mu\text{m}^2$ 以上の容量領域となる膜厚ではこの方法により著しい耐圧向上、欠陥密度の低減、長期信頼性の改善が得られた。

【作用】

本発明者は、従来技術によって形成された酸化タンタル膜中には大量の酸素空位が存在し、これがリーク電流の原因になると考えた。本発明が従来技術に比較して、短時間にリーク電流が減少するのは、オゾン分子が酸素分子に比較して310 nm以下の波長においてははるかに大きい吸収断面積を持っている（例えば、主波長が185 nmと254 nmの低圧水銀ランプなど）ため、オゾンの光分解により励起酸素原子（一重項励起状態： $\text{O} (^1\text{D})$ ）が大量に生成し、これが酸素空位と反応し、酸素空位が減少し、リーク電流が減少することによるためと推定される。従来技術においては、酸素を低圧水銀ランプで照射して生成できるオゾン濃度は0.2%体積濃度程度であり、オゾン生成器で作られたオゾンを、熱処理へ移す本

子に必要とされる容量は $5 \text{ fF} / \mu\text{m}^2$ 以上、特に16メガビット以降の超高集積メモリでは $10 \text{ fF} / \mu\text{m}^2$ 以上の容量が必要とされている。発明者らの検討によれば、上記の容量を実現する30 nm以下の薄膜領域においては、上記従来技術によって、十分なリーク電流の減少、欠陥密度の減少を得ることができなかった。特に、膜厚が10 nm以下では殆ど改善は得られなかった。

【課題を解決するための手段】

従来技術の問題点を克服するため、本発明は、酸素でなくオゾンを含む雰囲気において水銀ランプを照射しながら、熱処理をした。このオゾンは熱処理部と別に設けられたオゾン生成器により生成され、それを輸送して上記熱処理部に導入した。このオゾン濃度が5体積%以上で従来技術に比べて、飛躍的に著しい効果を得ることができた。また、オゾン濃度が7体積%以上では特に、著しい効果を得ることができた。更に、酸化タンタル膜の欠陥密度は400℃以上、望ましくは、700℃以上の乾燥酸化性雰囲気での熱処理を行なうこ

とにより著しく減少させることができた。特に、 $5 \text{ fF} / \mu\text{m}^2$ 以上の容量領域となる膜厚ではこの方法により著しい耐圧向上、欠陥密度の低減、長期信頼性の改善が得られた。

発明の方法と比較すると、極めて少ない。

また、シリコン層上に酸化タンタルを形成する場合、シリコンと酸化タンタルの界面には二酸化シリコンが存在する。この二酸化シリコンの膜厚は4 nm以下である。 $5 \text{ fF} / \mu\text{m}^2$ 以上の容量（二酸化シリコン膜厚に換算して6.7 nm）を確保するには、酸化タンタルの比誘電率が二酸化シリコンの約6倍であるので、必要とされる酸化タンタル膜厚は約30 nm以下である。

オゾンが導入された熱処理雰囲気に水銀ランプを照射して、酸化タンタル膜を熱処理する場合、酸化タンタル膜質は改善されるが、界面の SiO_2 膜質は改善されにくい。従って、酸化タンタル膜厚が減少するにつれ、上記熱処理によるリーク電流を減少させる効果は低下する。一方、酸化タンタル膜厚が増加するにつれ、界面の SiO_2 膜厚は無視できるようになる。従って、リーク電流は上記オゾンが導入された熱処理雰囲気に水銀ランプを照射する熱処理により、十分に減少させることができる。酸化タンタル膜厚が10 nm以下の

場合には、上記オゾンが導入された熱処理雰囲気中に水銀ランプを照射する熱処理のみでは、界面に形成された SiO_2 膜の膜質が改善されないため、十分に減少させることはできないが、この熱処理に連続して700℃以上の乾燥酸化性雰囲気での熱処理を行なうことにより、上記 SiO_2 膜の膜質も改善され、著しいリーク電流の減少、信頼性の改善を達成することができた。ここで注目されるのは、酸化タンタル膜上に形成されたキャパシタの上部電極に負電圧を印加した極性でのリーク電流は、上記の二段階の熱処理において、第一の熱処理であるオゾンが導入された熱処理雰囲気に水銀ランプを照射する熱処理を行なった場合の方が700℃以上の乾燥酸化性雰囲気での熱処理のみを行なった場合に比較して著しく減少することである。これは、この極性でのリーク電流特性は、酸化タンタル膜質を極めて敏感に反映することを示している。従って、酸化タンタル膜厚が薄膜化するにつれて、上記二種の酸化処理を連続して行なうことが極めて有効であるといえる。しかし、

酸化タンタル膜厚が30～40nm以上の場合には酸化タンタルの結晶化に伴うリーク電流の増大が生じ、二段階の酸化をするとオゾン中での水銀ランプ照射によるアニールのみのもよりリーク電流は増加した。

従って、CVD法とか、スパッター法により形成された膜厚が30nm以下の酸化タンタルについては、二段階の熱処理はリーク電流の低減に極めて有効である。

欠陥密度の低減については、700℃以上の乾燥酸化性雰囲気での熱処理が極めて効果がある。オゾン中での水銀ランプ照射によるアニールでも、欠陥密度を低減することができるが、700℃以上の乾燥酸化性雰囲気での熱処理による効果よりは劣る。したがって、リーク電流、欠陥密度の低減には二段階の熱処理を施すことが最も有効である。

【実施例】

実施例1

第2図(a)～(d)は本実施例の製造プロセスを模式的断面図を用いて示したものである。第2図(a)はシリコン半導体基板1上に熱酸化膜2を形成し、その1領域の絶縁膜を除去する。次に、多結晶シリコン膜3を形成した後、パターニング後、絶縁膜2上にて加工しキャパシタの下部電極を形成する。第2図(b)は、この多結晶シリコン層3をAP洗浄した後の状態を示している。表面に約1～2nmのシリコン酸化膜4が形成される。このシリコン酸化膜は、他の方法、例えば、熱酸化もしくはプラズマ酸化などによっても形成することができる。第2図(c)はこのシリコン酸化膜上に酸化タンタル5を化学気相成長させた状態を示している。この際、ソースとして $\text{Ta}(\text{OC}_2\text{H}_5)_5$ を窒素でバブリングして、これを酸素ガス雰囲気中で400℃の温度で熱分解させて酸化タンタル膜5を8nm堆積させる。次に、オゾンを含むガス雰囲気において水銀ランプを照射しながら30分のアニールを行なう。基板温度は300℃、オゾン濃度は7v%、UV照度は200mw/cm²の条件で行った。次に、乾燥

酸化性雰囲気において800℃でアニールを行なう。第2図(d)は、酸化タンタル5上にタングステン電極6を形成した状態を示している。このキャパシタの電流-電圧特性を図1に示す(2-stepとして示す。)第1図(a)はゲート電極に正電圧、第1図(b)はゲート電極に負電圧を印加した場合である。比較として、オゾンを含むガス雰囲気において水銀ランプを照射しながら300℃で30分のアニールのみを行なった後、タングステン電極を形成したもの(UV-O₂として示す)、乾燥酸化性雰囲気における800℃のアニールのみを行なってタングステン電極を形成したもの(DRY-O₂として示す)を比較として示す。これより、二段階の熱処理を行なったものが、もっともリーク電流が減少することがわかる。以上の実施例は酸化タンタルについて示したが、同様な効果は酸化ニオブウム、酸化イットリウム、酸化ハフニウム、酸化ジルコニウム、ランタン系列の元素の酸化物、酸化ニオブウム、酸化チタニウムのいずれかもしくはこれらの酸化物より選ば

れた2種類以上の酸化物の混合物を用いた場合についても得ることができる。また、酸化タンタルのCVDのソースとしては、 $Ta_2O_5(OCH_3)_2$ を用いた例について示したが、タンタルハロゲン化物、他のアルコレートを用いても、同様の効果が得られる。

また、上記のリーク電流特性の酸化タンタル膜依存性を調べた。図3は膜厚が20nmの酸化タンタルの電流-電圧特性を示している。第一のUV-O₂熱処理時間が60分とすると、酸化タンタル膜厚が20nmの場合でも、熱処理をしない場合に比較して十分なリーク電流の減少を実現することができた。酸化タンタル膜厚が増加するにつれ、第一のUV-O₂熱処理時間を長くすることにより、リーク電流は十分減少するのは、酸化タンタル膜中の酸素空位を修復する過程は、励起酸素原子の膜中での拡散が律速過程であるためである。

第4図は上記の酸化タンタル膜厚とリーク電流が $10^{-8} A/cm^2$ となるのに必要とされる実効的電界強度の関係をj示している。ここで、横軸は容

積値を二酸化シリコン膜に換算した膜厚で示しており、酸化タンタル膜の実効的膜厚は図中の()内に示している。 SiO_2 膜換算で3~5nmは、ほぼ8~20nmに相当している。また、縦軸は印加電圧を二酸化シリコン膜に換算した膜厚で割って、求めた実効的電界強度で示している。第4図の結果は、酸化タンタル膜厚が30nmまででは、二段階の熱処理が絶縁耐圧向上に極めて有効であることがわかる。また、膜厚が酸化タンタル膜厚が10nm以上(SiO_2 膜換算4nm以上)では、UV-O₂熱処理だけでも有効であることがわかる。

第5図は酸化タンタル膜厚が20nmの場合のキャパシタの絶縁耐圧の分布をしめしたものである。測定に用いたキャパシタは、キャパシタ面積が $0.5 cm^2$ であり、ライン幅が1.5、間隔が $1.0 \mu m$ の櫛型キャパシタである。キャパシタ構造は第5図(a)内に示している。酸化タンタル5を多結晶シリコン3上に形成する。この際、酸化タンタル5を多結晶シリコン3の界面に SiO_2 層4ができる。また、特定の熱処理をした

後、タングステン6を形成し、パターンニングし、キャパシタとする。測定キャパシタ数は45ヶである。第5図(a)は2-stepアニール処理を行なったキャパシタ、第5図(b)はUV-O₂アニールだけの処理を行なったキャパシタの場合である。2-stepアニールの場合の欠陥は極めて少なく、二段階の熱処理が極めて効果があることがわかる。同様に、乾燥酸化性雰囲気における800℃のアニールの場合にも欠陥密度を減少させる効果があるが、耐圧向上という点では十分でない。

第6図は第2図にて示した構造のキャパシタの長期信頼性のアニール処理依存性を示したものである。酸化タンタル膜厚は20nmであり、キャパシタの面積は $0.5 cm^2$ であり、測定チップ数は45ヶである。2-stepアニールをした場合は極めて高い信頼性を示し、1.65Vの印加電圧での予測寿命は、直線外挿によれば、 10^{12} 秒また、DRY-O₂アニールの場合も 10^{12} 秒と十分な信頼性をしめす。一方、UV-O₂アニ

ールの場合にも予測寿命は 10^{12} 秒であり、高集積メモリなどに必要とされる10年(約 3×10^8 秒)の信頼性を達成することができる。

表1~表4は以上の結果を整理して、高集積のメモリへの適用可能性を比較したものである。第二の熱処理を行わず、第一の熱処理だけの場合には、比較的欠陥密度も多く、長期信頼性も短い。しかしながら、これらの結果も、従来技術と比較すると改善されており、特定の半導体素子への適用においては十分な効果を示す。

第1表

		絶縁耐圧(at $10^{-8} A/cm^2$)
UV-O ₂	$Ta_2O_5, 8nm$	-1.0, +0.6 MV/cm
	$Ta_2O_5, 20nm$	-8.5, +7.4
DRY-O ₂	$Ta_2O_5, 8nm$	-5.0, +3.6
	$Ta_2O_5, 20nm$	-6.3, +4.8
2-step	$Ta_2O_5, 8nm$	-8.5, +5.0
	$Ta_2O_5, 20nm$	-6.5, +5.0

第2表

		欠陥密度(ヶ/cm ²)
UV-O ₂	Ta ₂ O ₅ 8nm	2.5
	Ta ₂ O ₅ 20nm	2.3
DRY-O ₂	Ta ₂ O ₅ 8nm	<0.04
	Ta ₂ O ₅ 20nm	<0.04
2-step	Ta ₂ O ₅ 8nm	<0.04
	Ta ₂ O ₅ 20nm	<0.04

第3表

		プロセス温度
UV-O ₂	Ta ₂ O ₅ 8nm	<400℃
	Ta ₂ O ₅ 20nm	<400℃
DRY-O ₂	Ta ₂ O ₅ 8nm	>700℃
	Ta ₂ O ₅ 20nm	>700℃
2-step	Ta ₂ O ₅ 8nm	>700℃
	Ta ₂ O ₅ 20nm	>700℃

階の乾燥酸化性雰囲気における熱処理を後から行なうことができる。

ここでは、酸化タンタルを形成する化学気相成長装置の構成図を第7図に示す。真空チャンバー118内には基板103、基板加熱用ヒーター102があり、反応ガスは基板中心に設けられた導入口119、基板周辺に設けられた排気口120とからなっている。基板上部には合成石英窓101があり、その上に水銀ランプ104がある。また、電圧源105がある。排気はブーストポンプ106、ロータリポンプ107よりなっている。ガス供給系には酸素ポンプ109から酸素が供給せられオゾンナイザー108により、3%~9%体積濃度の高濃度のオゾンが発生する。このオゾンと酸素の混合ガスはガス流量制御系116、電磁弁110を経由して真空チャンバー118に導入される。同様に、113にいれられた、Ta(OC₂H₅)₅ 112は高温槽115により一定温度に保たれる。酸素供給系114からの酸素によりバブリングされた後、ヒータ117によ

第4表

		破壊寿命
UV-O ₂	Ta ₂ O ₅ 8nm	10 ¹¹ 秒
	Ta ₂ O ₅ 20nm	10 ¹¹ 秒
DRY-O ₂	Ta ₂ O ₅ 8nm	10 ¹¹ 秒
	Ta ₂ O ₅ 20nm	10 ¹¹ 秒
2-step	Ta ₂ O ₅ 8nm	10 ¹¹ 秒
	Ta ₂ O ₅ 20nm	10 ¹¹ 秒

(実施例2)

実施例1では、酸化タンタル膜を被着した後、熱処理をしたが、同様の効果は酸化タンタル膜の形成時にオゾンを含む反応ガスを流す、あるいは、オゾンを含む反応ガスに水銀ランプを照射することにより形成した後、乾燥酸化性雰囲気における800℃のアニールを行ない、タングステン電極を形成して得られたキャパシタにおいても、第1図に示すと同様なリーク電流の低減という効果を与えることができた。つまり、二段階熱処理は膜形成部で膜形成と同時に第一段階を行ない、第二段

って一定温度に保持されたガス配管を経由して、真空チャンバー118内に導入される。

この装置により形成した8nmの酸化タンタル膜を乾燥酸化性雰囲気において800℃でアニールを行なった。第8図は上部電極としてタングステンを形成したキャパシタの電流-電圧特性を示す。実効膜厚が3.2nmの領域で実施例1の場合とほぼ同じだけのリーク電流の減少を確認した。

(実施例3)

実施例1、2においては、オゾンを外より導入した雰囲気において、水銀ランプを照射しながらアニール、もしくはTa(OC₂H₅)₅等のソースガスを供給して酸化タンタルを堆積する例について示したが、同様の効果は300~400℃のアニール温度で励起された酸素原子を含むガスを導入した雰囲気中で水銀ランプを照射することなく熱処理をするか、もしくはTa(OC₂H₅)₅等のソースガスを供給して膜の堆積を行なうことによっても実現できる。この励起された酸素原子は反応室の外に設置された励起部において紫外

光を照射するか、もしくは、RFとか μ 波の高周波により生成させることができる。第13図、第14図にこれらのための化学気相成長装置について示している。第13図において、オゾンもしくは酸素を少なくとも含むガスをUV光励起部509にもしくは輸送され、UV励起されたガスは膜堆積用の減圧CVD装置507に輸送される。第14図では、オゾンもしくは酸素を少なくとも含むガスが μ 波励起部614に輸送され、 μ 波励起されたガスが減圧CVD装置607に輸送される。第13図、14に示された膜形成装置で形成した酸化タンタル膜も、膜堆積時に直接UV光を照射して得られた酸化タンタル膜と同等の特性を示した。第9図は第13図に示す装置を用いて形成したキャパシタの電流-電圧特性を示している。この方法によってもオゾンを外部より導入した雰囲気において、水銀ランプを直接照射しながらのアニール、もしくは $Ta(OxH_x)$ 等のソースガスを供給して酸化タンタルを堆積した場合と同等の電流-電圧特性を示した。以上の様に、本

開のシーケンスを第16図に示す。この方法によれば、 Ta 層と酸素原子層を交互に形成したり、 $TaOx$ 層を一原子層形成した後、酸素空位の修復を行なうことを交互に繰り返すことにより欠陥のないタンタル酸化膜を単分子層の制御性で形成することができる。

(実施例4)

本実施例では実施例1において示された、キャパシタをダイナミックMOSメモリに適用した例について示す。第10図は積層型メモリセルを有するダイナミックメモリ素子の断面構造図を示している。

第一導電型の基板201上にメモリセルが形成されている。メモリセルトランジスタのソース、ドレインは第2導電型の高濃度拡散層202よりなる。203はワード線であり、タングステンシリサイドを用いたポリサイド構造となっている。205は蓄積キャパシタの下部電極であり、多結晶シリコン層よりなる。蓄積キャパシタの誘電膜は206の二酸化シリコンと207の酸化タンタ

ルの積層膜からなっている。蓄積電極の上部電極は208のタングステンよりなっている。本発明のキャパシタを本実施例の積層型ダイナミックメモリに適用することにより、極めて高集積のメモリ素子を製造することができる。これは、 $10\text{ fF}/\mu\text{m}^2$ 以上の領域において従来用いられている絶縁膜と比較して著しくリーク電流を減少させることができるからである。図4に示す用に、 SiO_2/Si_3N_4 の積層膜では実効膜厚3nmの領域において1.65Vの耐圧を得ることができないが、本発明によれば達成可能なのは明らかである。また、第11図はトレンチ型メモリセルを有するダイナミックメモリ素子の断面構造図を示している。トレンチ型メモリセルにおいても同様な効果が得られる。本実施例では、実施例1に示した方法で形成した場合について示しているが、同様に実施例2、3に示す形成方法によっても同様な効果を与えることができた。

(実施例5)

本実施例では、MOSトランジスタのゲート絶

図のとして、本発明の製造方法を用いた例について示す。第9図は本発明の一実施例のMOSトランジスタの模式的断面構造を示したものである。第一導電型の基板401上にソース、ドレインとなる反対導電型の高濃度拡散層402があり、ゲート絶縁膜実施例1に示す方法により形成された二酸化シリコン408と酸化タンタル409の積層構造よりなる。ゲート電極407はタングステンよりなっている。405は層間絶縁膜、406はソース、ドレインへのコンタクトを取るタングステン配線である。404はパッシベーション膜である。本実施例のMOSトランジスタは極めて絶縁破壊に強く、欠陥密度も少ない。また、二酸化シリコン膜408は4nm以下の極薄膜であるので、ホットキャリアーなどによる、ダメージを受けにくく、スレッショルド電圧のストレス電圧による変動は従来より2桁以上小さくなることを確認した。また、本発明の一方法であり、実施例3に示す形成方法を用いると半導体基板が直接に、紫外光、高周波にさらされることがないので、

半導体素子がダメージを受けることがない。第15図はCVDチャンバー内で光を照射して形成したTa₂O₅膜を用いたMOS型キャパシタの界面準位と本発明の方法によるキャパシタの界面準位をQuasi-staticで評価した結果を比較したものである。約一桁、直接光照射しない場合の方が少ないことがわかった。従って、MOSトランジスタのゲート絶縁膜として本発明のプロセスにより形成されたTa₂O₅膜を用いることは、極めて有効である。

(実施例6)

本発明の酸化膜形成方法は強誘電性を示す酸化物の形成方法としても有効である。本実施例では、Pb₂(OC₂H₅)₄、Ti(i-OC₂H₅)₄、Zr(i-OC₂H₅)₄のアルコキシドをソースとして、それぞれを蒸発させて、反応させ、膜を形成する。この際、励起された酸素原子を反応中に導入する。これによりシリコン基板上に形成されたPZT薄膜の絶縁耐圧を第17図に示す。励起酸素を導入しない場合に比較して(第17図(a))

に示す。)本発明の形成方法を用いた場合(第17図(b)に示す。)には3桁以上の絶縁耐圧の向上を得ることができた。第18図はここで用いた膜形成装置の概略図を示す。701はPb₂(OC₂H₅)₄、702はTi(i-OC₂H₅)₄、703はZr(i-OC₂H₅)₄のパブリック容器を示している。これを、Arによりパブリックして反応部704に導入する。705は反応部の加熱ヒーターであり、約400℃に設定されている。酸素ガスはオゾン発生機710に導入され9重量%のオゾン/酸素混合ガスを生成する。この混合ガスは励起部707に導入され、水銀ランプ706の照射により励起酸素原子を発生する。この励起酸素原子を含むガスは反応部に輸送される。膜は基板711は基板ホルダー712に固定され、基板711上に膜が形成される。排気はブースター708、ロータリポンプ709で行なう。以上の形成方法により形成した膜は、第17図(b)に示す良好な絶縁耐圧を示した。

(実施例7)

本発明の酸化膜形成方法は超伝導性を示す酸化物の形成方法としても有効である。Y-Ba-Cu-Oの4元系よりなる酸化物の形成に本方法を適用した場合には、従来の方法に比較して、より高い超伝導転移温度が得られた。ジケトン類の金属キレート錯体であるY(DPM)₃、Ba(DPM)₂、Cu(DPM)₂(但し、DPM:dipivaloylmethanato)のソースを蒸発させ、これを反応管に導入し、同時に励起した酸素原子を導入することで、良好な特性を示す超伝導薄膜を形成することができた。第19図は抵抗値と温度との関係を示している。励起した酸素原子を反応部に導入しない場合には、従来はT_cが60Kしか得られなかったが(第19図(a)に示す。)、本発明の方法によれば約95Kの値が得られた(第19図(b)に示す。)第20図は本発明の膜形成方法を行なう膜形成装置の概念図である。ジケトン類の金属キレート錯体であるY(DPM)₃を恒温槽801、Ba(DPM)₂を恒温槽802に、Cu(DPM)₂(但し、

DPM: dipivaloylacetate)を恒温槽803に
いれて加熱し、アルゴンでバブリングして反応
室804に導入する。反応部804は高周波加熱
805により試料台812を加熱し、800℃と
してある。一方、酸素をオゾン発生器810に導
入し、7%体積濃度のオゾン/酸素混合ガスを生
成する。この混合ガスは励起部807に導入され、
水銀ランプ806の照射により励起酸素原子を生
成する。この励起酸素原子を含むガスは反応部
804に輸送される。膜は基板ホルダー812上
の基板811に形成される。排気はブースター
808、ロータリポンプ809で行なう。以上の
形成方法により形成したY-Ba-Cu-Oの4
元系酸化物膜は、第20図(b)に示す高い超伝導
転移温度を得ることができた。

【発明の効果】

本発明によれば、16メガビット以上の高集積ダ
イナミックMOSメモリに必要な高容量、
高耐圧、高信頼のキャパシタを製造することがで
きる。従って、メモリ素子を用いた各種の電気機

器の高性能化を達成する効果がある。また、誘電
体薄膜以外の各種酸化物においても、本発明の膜
形成方法によれば本来の性質を損なうことなく、
酸素空孔を膜形成時に著しく減少させることがで
きる。高誘電率酸化物では、極めて放電性が良好
で、かつ、絶縁耐圧が良好な状態で形成すること
ができる。また、強誘電性酸化物でも絶縁耐圧が
高くなる。また、超伝導性酸化物では超伝導転移
温度が著しく向上することがわかった。従って、
完全な酸化を行なうことで、酸化物の不完全性
による特性の不安定性を抑えることができ、半導体
素子等への実用化に極めて有効な技術である。

4. 図面の簡単な説明

第1図は本発明の効果を示す曲線図、第2図は
本発明によるキャパシタの製造方法の一例を示す
工程図、第3図および第4図は本発明の効果を示
す曲線図、第5図および第6図は本発明によって
形成したキャパシタの特性を示す図、第7図は本
発明の実施に用いる装置の一例を示す図、第8図
および第9図は本発明の効果を示す曲線図、第

10図、第11図および第12図は、それぞれ本
発明によって形成したキャパシタをそなえた半導
体装置の断面構造を示す図、第13図、第14図、
第15図は、それぞれ、本発明の実施に用
いる装置を示す図、第16図は本発明の効果を説
明するための図、第17図は、本発明の実施に用
いる装置に使用されるピエゾバルブ開閉のシーケ
ンスの一例を示す図、第18図は本発明の効果を
示す曲線図、第19図は本発明の実施に用いる装
置の一例を示す図、第20図は本発明の実施に用
いる装置の一例を示す図である。

符号の説明

1:シリコン基板、2:分離絶縁膜、3:多結
晶シリコン、4:二酸化シリコン、5:酸化タンタ
ル、6:タングステン、101:合成石英、
102:ヒータ、103:基板、104:水銀ラン
プ、105:水銀ランプ電源、106:ブース
タポンプ、107:ロータリポンプ、108a:
オゾン発生器、109:酸素ポンプ、110:電

磁弁、112:Ta(OC₂H₅)₅、113:バブ
ラー、114:窒素ポンプ、115:高温槽、
116:流量制御系、117:配管加熱用ヒータ
ー、118:真空チャンバー、119:ガス導入口、
120:ガス排気口、201:シリコン基板、
202:高濃度拡散層、203:ワード線、
204:ビット線、205:多結晶シリコン、
206:二酸化シリコン、207:酸化タンタル、
208:プレート電極、310:シリコン基板、
301:高濃度拡散層、302:ワード線、
303:ビット線、305:SiO₂、306:
多結晶シリコン、307:二酸化シリコン、
308:酸化タンタル、309:プレート電極、
311:層間絶縁膜、401:シリコン基板、
402:高濃度拡散層、403:分離絶縁膜、
404:パッシベーション膜、405:層間絶縁
膜、406:電極配線、407:ゲート電極、
408:二酸化シリコン、409:酸化タンタル、
505:Ta(OC₂H₅)₅、506:低蒸気圧ソー
ス供給部、507:CVDチャンバー、508:

オゾン生成器、509:光励起部、510:UV
ランプ、511:内壁加熱、512:排気ポンプ、
513:基板加熱519、520、521、522:
ピエゾバルブ、605:Ta(OC_2H_5)、
606:低蒸気圧ソース供給部、607:CVD
チャンバー、608:オゾン生成器、609:光
励起部、610:UVランプ、611:内壁加熱、
612:排気ポンプ、613:基板加熱、614:
 μ 波励起部、615:導波管、616:石英管、
617:マグネトロン、618:アイソレータ、
619、620、621、622:ピエゾバルブ、
701:恒温層、702:恒温層、703:恒温
層、704:反応管、705:反応管加熱ヒータ、
706:UVランプ、707:酸素励起部、
708:ブースタポンプ、709:ロータリポン
プ、710:オゾン発生器、711:シリコンウ
ェハー、712:ウェハーホルダー、713:電
磁弁、801:恒温槽、802:恒温槽、803:
恒温層、804:反応管、805:反応管加熱ヒ
ータ、806:UVランプ、807:酸素励起部、

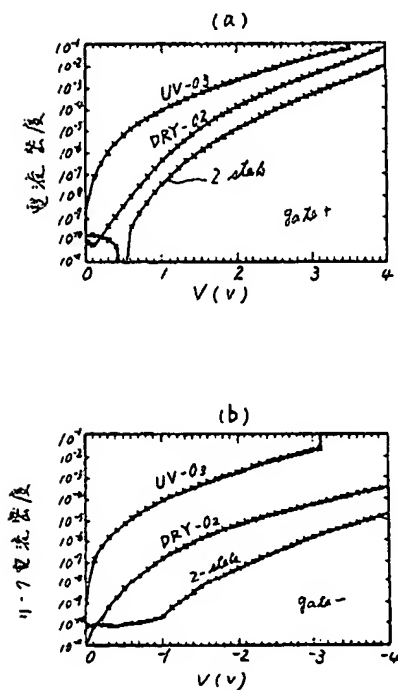
808:ブースタポンプ、809:ロータリポン
プ、810:オゾン発生器、811:シリコンウ
ェハー、812:ウェハーホルダー、813:電
磁弁

代理人弁理士 小川 勝

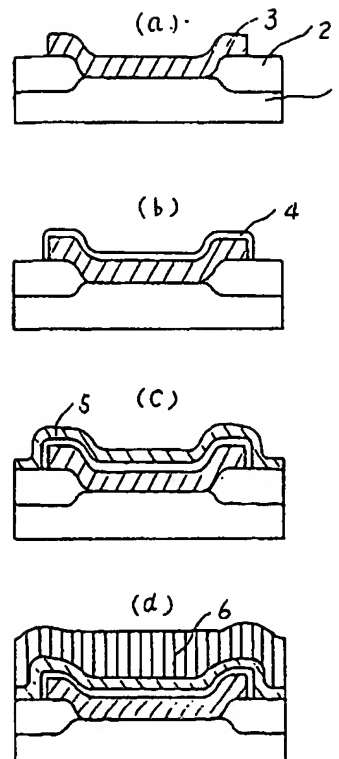


図面の浄書(内容に変更なし)

第 1 図



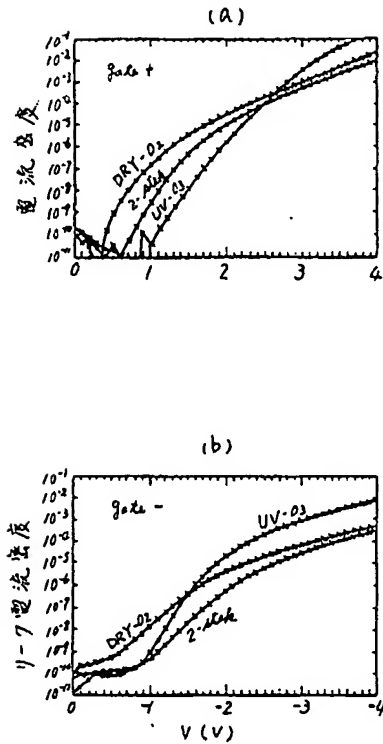
第 2 図



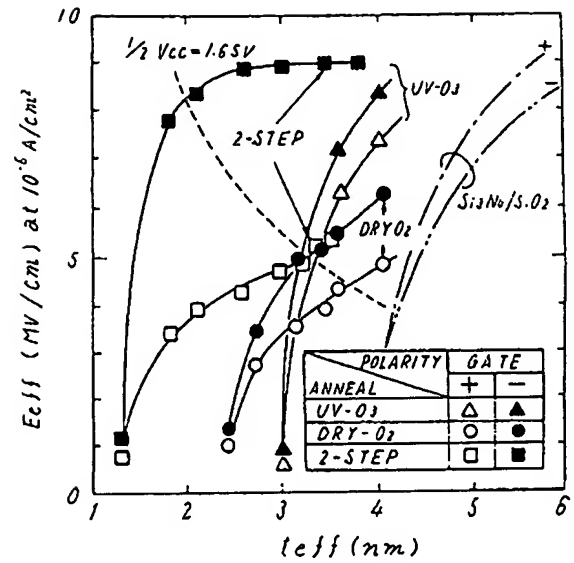
- 1 シリコン基板
- 2 絶縁膜
- 3 多結晶シリコン膜
- 4 酸化シリコン膜
- 5 酸化タンタル膜
- 6 タングステン膜

図面の淨書(内容に変更なし)

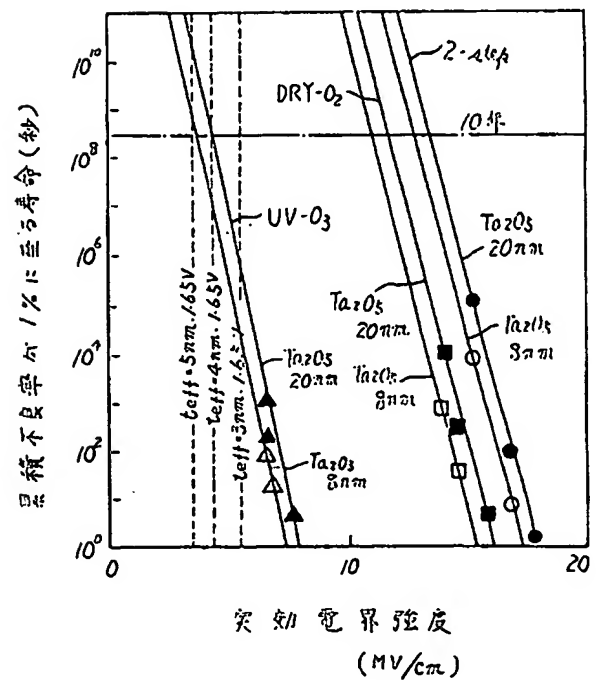
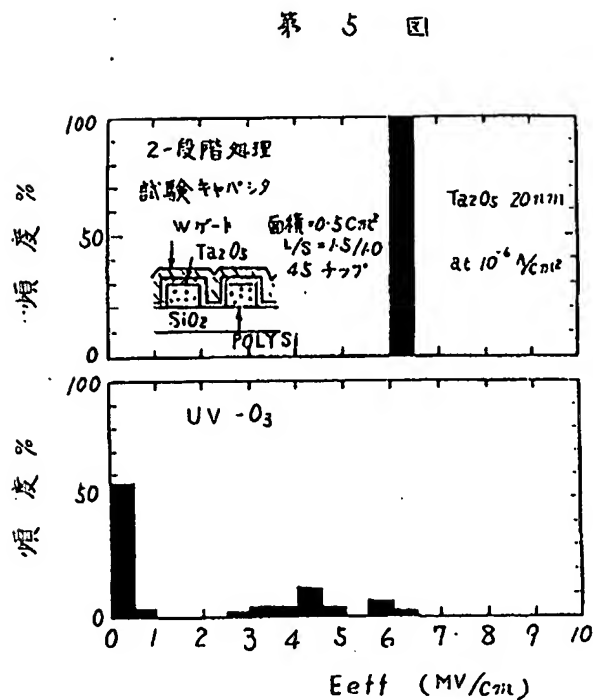
第 3 図



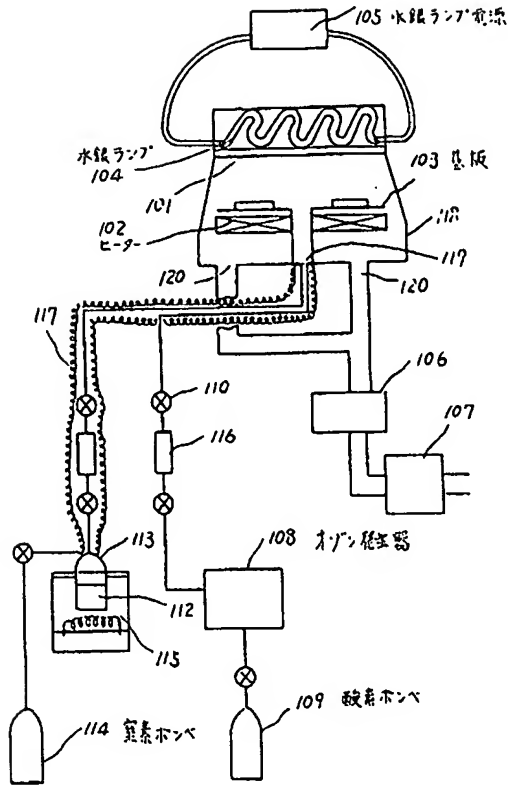
第 4 図



第 6 図

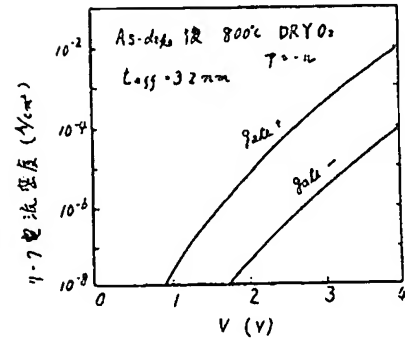


第 7 図

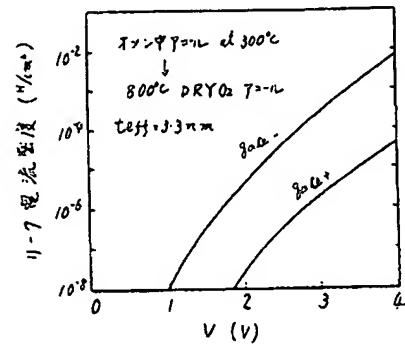


図面の浄書(内容に変更なし)第8図~第12図

第 8 図

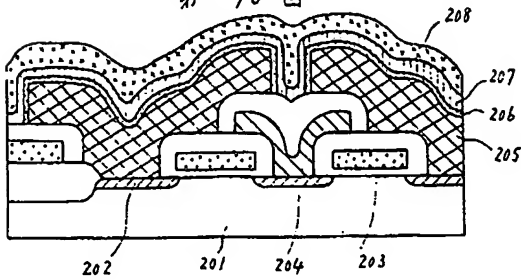


第 9 図

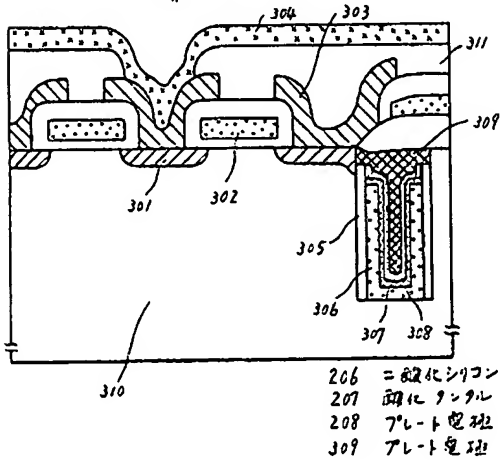


図面の浄書(内容に変更なし)

第 10 図

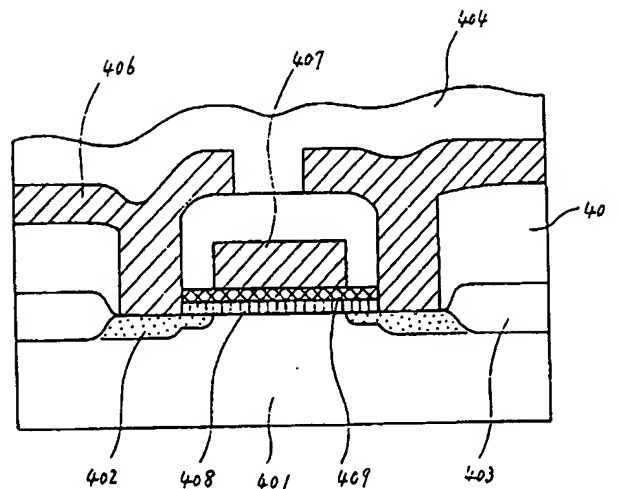


第 11 図



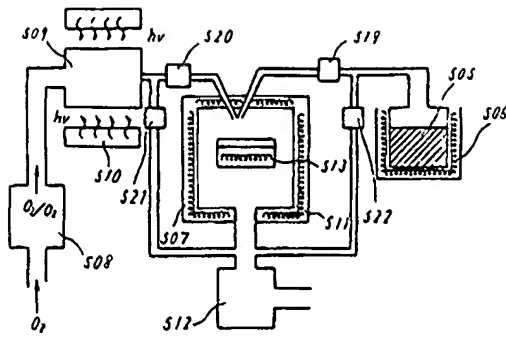
図面の浄書(内容に変更なし)

第 12 図

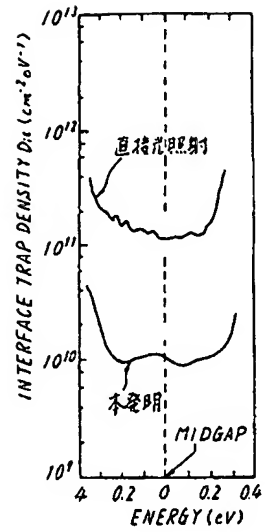


408 ニ酸化シリコン
409 酸化タンタル

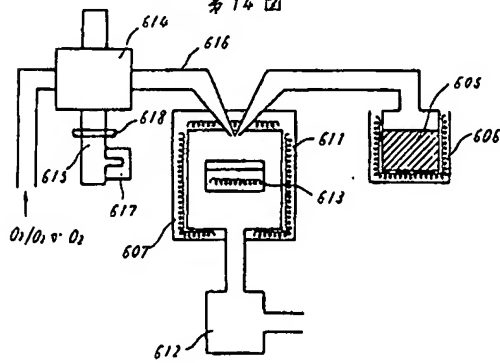
第13図



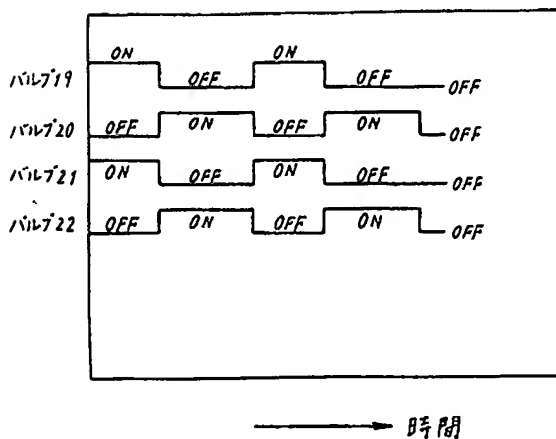
第15図



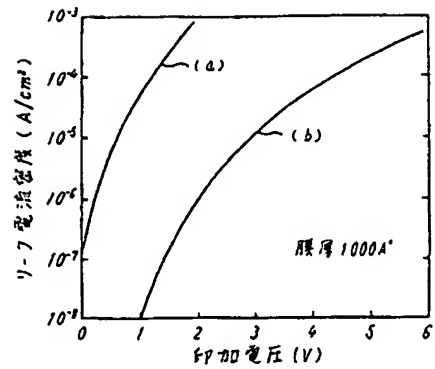
第14図



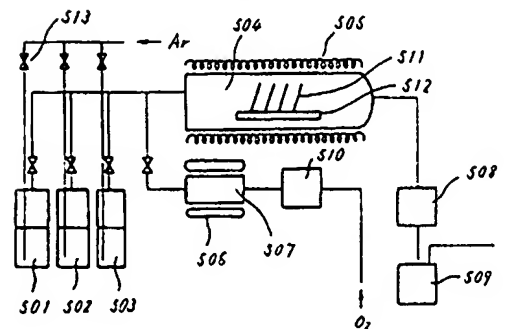
第16図



第17図



第18図



平成 2 年 5 月 1 4 日

特許庁長官 殿

事件の表示

平成 2 年 特 許 願 第 0 1 2 5 3 9 号

発 明 の 名 称 半導体装置の製造方法

補正をする者

事件との関係 特 許 出 願 人
名 称 (S10) 株式会社 日 立 製 作 所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目5番1号
株式会社 日立 製 作 所 内
電 話 東 京 212-1111(大代表)
氏 名 (6850) 井 理 士 小 川 勝 男

補正命令の日付 平成 2 年 4 月 1 7 日

補 正 の 対 象 図 面

補 正 の 内 容 願書に最初に添付した図面の第1図、第3図、第8図乃至第12図を別紙のとおり添書する。(内容に変更なし)

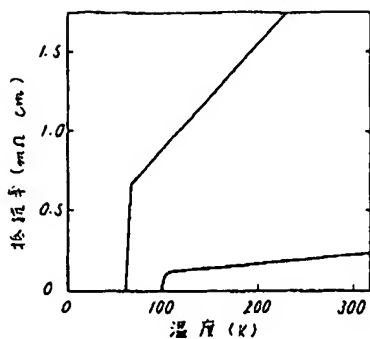
方式
審査
古川

特許庁

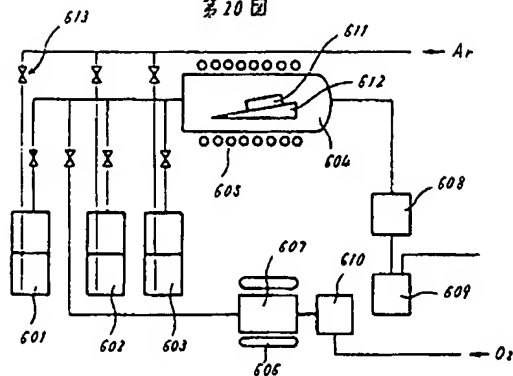
2.5.14

受付

第19図



第20図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.